

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03F 1/30 (2006.01)

H03K 19/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410034336.6

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100438330C

[22] 申请日 2004.4.12

[21] 申请号 200410034336.6

[73] 专利权人 矽统科技股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 储青云 罗文裕

[56] 参考文献

US5796244A 1998.8.18

CN1238483A 1999.12.15

CN1202039A 1998.12.16

US5168210A 1992.12.1

审查员 李小青

[74] 专利代理机构 北京市柳沈律师事务所

代理人 王志森 黄小临

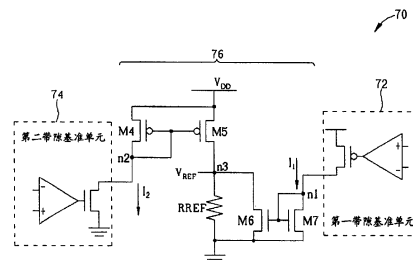
权利要求书 4 页 说明书 11 页 附图 13 页

[54] 发明名称

带隙参考电路

[57] 摘要

一种带隙参考电路，其中：一减法器连接到一 P 沟道带隙参考单元以及一 N 沟道带隙参考单元之间，该减法器包含两个 NPN 型晶体管，其二者连接到该 P 沟道带隙参考单元，以及两个 PNP 型晶体管，其二者连接到该 N 沟道带隙参考单元。该减法器将该 P 沟道带隙参考单元以及该 N 沟道带隙参考单元所产生的电流作相减，并在一输出电阻上产生一小于 1 伏特的曲率补偿电压，其电压对于温度敏感度极低。



1. 一种带隙参考电路, 其包含:

— P 沟道带隙参考单元, 其包含一输出端连接到一第一节点 (n1);

— N 沟道带隙参考单元, 其包含一输出端连接到一第二节点 (n2); 以及
— 减法器, 其包含:

— 第一晶体管 (M4), 其包含一源极连接到一第一电压, 一漏极以及一栅极, 其二者连接到该第二节点 (n2);

— 第二晶体管 (M5), 其包含一源极连接到该第一电压, 一漏极连接到一第三节点 (n3), 以及一栅极连接到该第一晶体管 (M4) 的栅极;

— 第三晶体管 (M6), 其包含一源极连接到一第二电压, 一漏极以及一栅极, 其二者连接到该第一节点 (n1);

— 第四晶体管 (M7), 其包含一源极连接到该第二电压, 一漏极连接到该第三节点 (n3), 以及一栅极连接到该第三晶体管 (M6) 的栅极; 以及

— 输出电阻 (RREF) 连接到该第三节点 (n3) 以及该第二电压之间。

2. 如权利要求 1 所述的带隙参考电路, 其中该第一晶体管 (M4) 以及该第二晶体管 (M5) 为 PNP 型晶体管, 该第三晶体管 (M6) 以及该第四晶体管 (M7) 为 NPN 型晶体管, 该第二电压为接地端, 以及该第一电压高于接地端。

3. 如权利要求 2 所述的带隙参考电路, 其中该 P 沟道带隙参考单元为一 CMOS P 沟道带隙参考, 以及该 N 沟道带隙参考单元为一 CMOS N 沟道带隙参考。

4. 如权利要求 3 所述的带隙参考电路, 其中该 P 沟道带隙参考单元以及该 N 沟道带隙参考单元分别产生一低于 1 伏特的输出参考电压并分别输入于该第一节点 (n1) 以及该第二节点 (n2)。

5. 如权利要求 1 所述的带隙参考电路, 其中当第二电压为接地端时, 该第一电压近似为 0.9 伏特, 以使一第三节点的输出参考电压介于 550 至 570 毫伏特之间。

6. 如权利要求 1 所述的带隙参考电路, 其中该 P 沟道带隙参考单元包含:

— 第一运算放大器 (112), 其包含一正输入端、一负输入端以及一输出端;

— 第五晶体管 (M1), 其包含一源极连接到该第一电压, 一漏极连接到该正输入端, 以及一栅极连接到该输出端;

一第六晶体管 (M2)，其包含一源极连接到该第一电压，一漏极连接到该负输入端，以及一栅极连接到该输出端；

一第一电阻 (R1) 连接到该第二电压以及该正输入端之间；

一第二电阻 (R2) 连接到该第二电压以及该负输入端之间；

一第一二极管 (Q1)，其包含一集电极、一基极，其二者连接到该第二电压，以及一射极经由一第三电阻 (R3) 连接到该正输入端；

一第二二极管 (Q2)，其包含一集电极、一基极，其二者连接到该第二电压，以及一射极连接到该正输入端；以及

一第七晶体管 (M3)，其包含一其包含一源极连接到该第一电压，一栅极连接到该输出端，以及一漏极连接到该第一节点 (n1)。

7. 如权利要求 6 所述的带隙参考电路，其中该第二电压为接地端，该第一电压高于接地端，该第三晶体管 (M6) 以及该第四晶体管 (M7) 为 NPN 型晶体管，该第五晶体管 (M1)、该第六晶体管 (M2) 以及该第七晶体管 (M3) 为 PNP 型晶体管，以及该第一二极管 (Q1) 以及该第二二极管 (Q2) 为 PNP 型二极管。

8. 如权利要求 1 所述的带隙参考电路，其中该 N 沟道带隙参考单元包含：

一第二运算放大器 (114)，其包含一正输入端、一负输入端以及一输出端；

一第八晶体管 (M1')，其包含一源极连接到该第二电压，一漏极连接到该正输入端，以及一栅极连接到该输出端；

一第九晶体管 (M2')，其包含一源极连接到该第二电压，一漏极连接到该负输入端，以及一栅极连接到该输出端；

一第四电阻 (R1') 连接到该第一电压以及该正输入端之间；

一第五电阻 (R2') 连接到该第一电压以及该负输入端之间；

一第三二极管 (Q1')，其包含一集电极、一基极，其二者连接到该第一电压，以及一射极经由一第六电阻 (R3') 连接到该正输入端；

一第四二极管 (Q2')，其包含一集电极、一基极，其二者连接到该第一电压，以及一射极连接到该正输入端；以及

一第十晶体管 (M3')，其包含一其包含一源极连接到该第二电压，一栅极连接到该输出端，以及一漏极连接到该第二节点 (n2)。

9. 如权利要求 8 所述的带隙参考电路，其中该第二电压为接地端，该第一电压高于接地端，该第一晶体管 (M4) 以及该第二晶体管 (M5) 为 PNP 型晶体管，该第八晶体管 (M1')、该第九晶体管 (M2') 以及该第十晶体管 (M3') 为 NPN

型晶体管, 以及该第三二极管(Q1')以及该第四二极管(Q2')为NPN型二极管。

10. 如权利要求1所述的带隙参考电路, 其中该P沟道带隙参考单元包含:

一第一运算放大器(112), 其包含一正输入端、一负输入端以及一输出端;

一第五晶体管(M1), 其包含一源极连接到该第一电压, 一漏极经由一第七电阻(R1a)连接到该正输入端, 以及一栅极连接到该输出端;

一第六晶体管(M2), 其包含一源极连接到该第一电压, 一漏极经由一第八电阻(R2a)连接到该负输入端, 以及一栅极连接到该输出端;

一第九电阻(R1b)连接到该第二电压以及该正输入端之间;

一第十电阻(R2b)连接到该第二电压以及该负输入端之间;

一第一二极管(Q1), 其包含一集电极、一基极, 其二者连接到该第二电压, 以及一射极经由一第三电阻(R3)连接到该第五晶体管(M1)的漏极;

一第二二极管(Q2), 其包含一集电极、一基极, 其二者连接到该第二电压, 以及一射极连接到该第六晶体管(M2)的漏极; 以及

一第七晶体管(M3), 其包含一其包含一源极连接到该第一电压, 一栅极连接到该输出端, 以及一漏极连接到该第一节点(n1)。

11. 如权利要求10所述的带隙参考电路, 其中该第二电压为接地端, 该第一电压高于接地端, 该第三晶体管(M6)以及该第四晶体管(M7)为NPN型晶体管, 该第五晶体管(M1)、该第六晶体管(M2)以及该第七晶体管(M3)为PNP型晶体管, 以及该第一二极管(Q1)以及该第二二极管(Q2)为PNP型二极管。

12. 如权利要求1所述的带隙参考电路, 该N沟道带隙参考单元包含:

一第二运算放大器(114), 其包含一正输入端、一负输入端以及一输出端;

一第八晶体管(M1'), 其包含一源极连接到该第二电压, 一漏极经由一第十一电阻(R1a')连接到该正输入端, 以及一栅极连接到该输出端;

一第九晶体管(M2'), 其包含一源极连接到该第二电压, 一漏极经由一第十二电阻(R2a')连接到该负输入端, 以及一栅极连接到该输出端;

一第十三电阻(R1'b)连接到该第一电压以及该正输入端之间;

一第十四电阻(R2'b)连接到该第一电压以及该负输入端之间;

一第三二极管(Q1'), 其包含一集电极、一基极, 其二者连接到该第一电压, 以及一射极经由一第六电阻(R3')连接到该第八晶体管(M1')的漏极;

一第四二极管(Q2'), 其包含一集电极、一基极, 其二者连接到该第一电压, 以及一射极连接到该第九晶体管(M2')的漏极; 以及

一第十晶体管 (M3'), 其包含一其包含一源极连接到该第二电压, 一栅极连接到该输出端, 以及一漏极连接到该第二节点 (n2)。

13. 如权利要求 12 所述的带隙参考电路, 该第二电压为接地端, 该第一电压高于接地端, 该第一晶体管 (M4) 以及该第二晶体管 (M5) 为 PNP 型晶体管, 该第八晶体管 (M1')、该第九晶体管 (M2') 以及该第十晶体管 (M3') 为 NPN 型晶体管, 以及该第三二极管 (Q1') 以及该第四二极管 (Q2') 为 NPN 型二极管。

带隙参考电路

技术领域

本发明提供一种带隙参考电路 (bandgap reference circuit)，特别指一种低电压带隙参考电路。

背景技术

参考电压产生器广泛地应用于模拟与数字电路中，如动态随机存取存储器以及速闪存储器，而带隙参考电路用来提供一稳定的输出电压，其对温度以及供电电压的敏感度极低。

传统带隙参考输出电压大约为 1.25 伏特，其几乎等于以电子伏特测量出的硅带隙，然而，现代的次微米技术中大约以 1 伏特为主，因此传统带隙参考电路便无法符合现阶段的需求。

1 伏特的最小供电电压受限于两个因素，一为 1.25 伏特的参考电压超过 1 伏特，另一为比例于绝对温度 (proportional-to-absolute-temperature) (PTAT) 电流产生回路的低电压设计受限于放大器的输入共模电压，公知利用电阻来作分压，或利用低定限电压装置或 BiCMOS 制造工艺来降低这些限制因素所造成的影响，但这些解决方案道需要成本较高的制造工艺技术来完成。

带隙参考电路可分为两种类型，一种为将两个温度依存相反的元件的电压加总起来 (称为 A 型)，另一种为将两个元件的电流加总起来 (称为 B 型)，此两种类型皆可设计出可工作于供电电压为大于 1 伏特以及小于 1 伏特的状态下。

图 1 为传统 A 型带隙参考电路 10 的示意图，带隙参考电路 10 包含一运算放大器 12，两个晶体管 M1、M2，两个电阻 R1、R2，以及两个二极管 Q1、Q2。晶体管 M1、M2 的源极连接到供电电压 V_{DD} ，晶体管 M1 的漏极经由电阻 R1 连接到二极管 Q1 的射极，以及连接到运算放大器 12 的正输入端。同样地，晶体管 M2 的漏极经由电阻 R2 连接到二极管 Q2 的射极，以及连接到运算放大器 12 的负输入端。晶体管 M1、M2 的栅极连接到运算放大器 12 的输出端。在 CMOS 的应用中，每一个二极管 Q1、Q2 对称形成于如图 1 的结构中，二者的

集电极与基极连接到接地端, 如图 1 所示。

忽略基极的电流, 在正向工作状态下的二极管的射极-基极电压为下列运算式:

$$V_{EB} = \frac{kT}{q} \ln \left(\frac{I_C}{I_S} \right), \quad (1)$$

其中

k 为波兹曼常数 (1.38×10^{-23} J/K),

q 为 1 电子库伦 (1.6×10^{-19} C),

T 为温度,

I_C 为集电极的电流, 以及

I_S 为饱和电流。

当运算放大器 12 的输入端电压皆相同, 以及二极管 Q1 的大小为二极管 Q2 大小的 N 倍时, 二极管 Q1 与 Q2 之间射极-基极电压差异 ΔV_{EB} 为以下的运算式:

$$\Delta V_{EB} = V_{EB2} - V_{EB1} = \frac{kT}{q} \ln N, \quad (2)$$

其中

V_{EB1} 为二极管 Q1 的射极-基极电压, 以及

V_{EB2} 为二极管 Q2 的射极-基极电压。

当流经电阻 R_1 的电流等同于流经电阻 R_2 的电流, 以及流经电阻 R_1 的电流设为 PTAT 时, 可得输出参考电压 V_{REF} 如下:

$$V_{REF} = V_{EB2} + \frac{R_2}{R_1} \Delta V_{EB} \equiv V_{REF-CONV}, \quad (3)$$

其中

R_1 为电阻 R_1 的电阻值,

R_2 为电阻 R_2 的电阻值, 以及

$V_{REF-CONV}$ 为传统参考电压。

射极-基极电压 V_{EB} 的负温度系数为 -2 mV/°C, 而射极-基极电压差异 ΔV_{EB} 的正温度系数为 0.085 mV/°C, 假如慎选电阻 R_1 、 R_2 的电阻值比例, 输出参考电压 V_{REF} 对于温度的敏感度会较低。一般来说, 供电电压 V_{DD} 大约为 3 至 5 伏特, 而输出参考电压 V_{REF} 大约为 1.25 伏特, 因此传统带隙电路 10 无法工作于供电电压小于 1 伏特的状态下。

图 2 为传统 B 型带隙参考电路 20 的示意图, 图 2 中代号与图 1 中代号相

同者，其元件亦相同，带隙参考电路 20 包含一运算放大器 22，三个晶体管 M1、M2、M3，四个电阻 R1、R2、R3、R4，以及两个二极管 Q1、Q2，其各元件连接方式如图 2 所示。

与带隙参考电路 10 相比较，带隙参考电路 20 更适合工作于低的供电电压，其不需叠加成两个互补的电压，B 型带隙参考电路 20 将两个温度依存相反的电流作相加，在图 2 的带隙参考电路 20 中，流经电阻 R3 的电流为 PTAT，假如电阻 R1 与 R2 的电阻值相同，流经与晶体管 M1、M2 相同的 MOS 晶体管 M3 的电流为以下运算式：

$$I_{M3} = \frac{1}{R_1} \left(V_{EB2} + \frac{R_1}{R_3} \frac{kT}{q} \ln N \right), \quad (4)$$

而参考电压如下：

$$V_{REF} = \frac{R_4}{R_1} \left(V_{EB2} + \frac{R_1}{R_3} \frac{kT}{q} \ln N \right) = \frac{R_4}{R_1} \cdot V_{REF-CONV} \quad (5)$$

因此，图 2 的带隙参考电路 20 中，以电阻的比例为主要关键，各电阻因制造工艺时的差异将不会对参考电压有很大的影响，一般来说，供电电压 V_{DD} 大约为 1.5 伏特，而输出参考电压 V_{REF} 大约为 1.2 伏特。

图 3 为可工作于供电电压小于 1 伏特的传统 B 型带隙参考电路 30，图 3 中代号与图 2 中代号相同者，其元件亦相同，带隙参考电路 30 包含一运算放大器 32，三个晶体管 M1、M2、M3，六个电阻 R1a、R1b、R2a、R2b、R3、R4，以及两个二极管 Q1、Q2，其各元件连接方式如图 3 所示，供电电压受限于运算放大器 32 的输入共模电压，其电压必须相当小以确保两个输入端可工作于饱和区域。

低供电电压的改进，如带隙参考电路 30，其关系于运算放大器 32 的两输入端，反馈回路在电阻 R3 产生 PTAT 电压，而电阻 R1a 与 R2a 的比例可使供电电压与运算放大器 32 的输入共模电压之间的电压增大，以使得 P 沟道的两输入端即使在供电电压小于 1 伏特时仍可工作于饱和区域，带隙参考电路 30 所提供小于 1 伏特的电压如下：

$$V_{REF-SUBIV} = \frac{R_4}{R_1} \left(V_{EB2} + \frac{R_1}{R_3} \frac{kT}{q} \ln N \right) = \frac{R_4}{R_1} \cdot V_{REF-CONV}, \quad (6)$$

其电压与图 2 中的带隙参考电路 20 所提供的电压的运算式相似，在带隙参考电路 30 的工作中，供电电压 V_{DD} 大约为 1.0 至 1.9 伏特，而输出参考电

压 V_{REF} 大约为 0.6 伏特。

由上述的公知带隙参考电路 10、20 以及 30 的详述可知，急需一种改良且成本低廉的低电压参考电路来改进公知的问题。

发明内容

本发明提供一种带隙参考电路，以解决上述的问题。

本发明公开一种带隙参考电路，其包含一 P 沟道带隙参考单元，其包含一输出端连接到一第一节点 (n1)，一 N 沟道带隙参考单元，其包含一输出端连接到一第二节点 (n2)，以及一减法器。该减法器包含一第一晶体管 (M4)，其包含一源极连接到一第一电压，一漏极以及一栅极，其二者连接到该第二节点 (n2)，一第二晶体管 (M5)，其包含一源极连接到该第一电压，一漏极连接到一第三节点 (n3)，以及一栅极连接到该第一晶体管 (M4) 的栅极，一第三晶体管 (M6)，其包含一源极连接到一第二电压，一漏极以及一栅极，其二者连接到该第一节点 (n1)，一第四晶体管 (M7)，其包含一源极连接到该第二电压，一漏极连接到该第三节点 (n3)，以及一栅极连接到该第三晶体管 (M6) 的栅极，以及一输出电阻 (RREF) 连接到该第三节点 (n3) 以及该第二电压之间。

本发明的优点在于当适当地提供该第一与第二电压时，即可在该第三节点得到一小于 1 伏特的参考电压，其电压对于温度的敏感度极低。

本发明的另一优点在于该带隙参考电路适合 CMOS 制造工艺。

本发明的另一优点在于无须低限电压装置或 BiCMOS 制造工艺即可实现本发明。

附图说明

图 1 为传统带隙参考电路的示意图。

图 2 为传统低电压带隙参考电路的示意图。

图 3 为传统低电压带隙参考电路的示意图。

图 4 为两个二极管的基极-射极电压相对于温度的示意图。

图 5 为图 4 中两个二极管的基极-射极电压差异相对于温度的示意图。

图 6 为输出参考电压曲线图。

图 7 为第一实施例的低电压曲率补偿参考电路的示意图。

图 8 为图 7 电路的电流与参考电压的示意图。

图 9 为 NPN 型 CMOS BJT 的示意图。

图 10 为为第二实施例的低电压曲率补偿参考电路的示意图。

图 11 为第三实施例的低电压曲率补偿参考电路的示意图。

图 12 为图 11 电路的参考电压相对于温度的示意图。

图 13 为图 11 电路的最小供电电压的示意图。

图符号说明

76 减法器

10、20、30、70、100、200 带隙参考电路

12、22、32、112、114 运算放大器

72、74、102、104、202、204 带隙参考单元

n1、n2、n3 节点

Q1、Q2、Q1'、Q2' 二极管

M1、M2、M3、M4、M5、M6、M7、M1'、M2'、M3' 晶体管

R1、R2、R3、R4、R1a、R1b、R2a、R2b 电阻

R1a'、R1b'、R2a'、R2b' 电阻

具体实施方式

为阐明本发明，请参考图 4 与图 5，图 4 为二极管 Q1、Q2 的基极-射极电压相对于温度的关系图，图 5 为两个二极管基极-射极电压差异相对于温度的关系图。当基极-射极电压 $V_{EB}=0.55$ V 且温度 $T=300$ K 时，基极-射极电压 V_{EB} 的负温度系数大约为 -2 mV/°C，而两个二极管的基极-射极电压差异 ΔV_{EB} 相对于温度，如图 5 所示，在本发明中用来产生 PTAT 以减少负温度系数的影响。

假设传统带隙电路的输出参考电压 V_{REF} 如下：

$$V_{REF} = E_G + V_T \left(\gamma - \alpha \right) \left(1 + \ln \frac{T_0}{T} \right), \quad (7)$$

其中

γ 为基极的平均电洞迁移律 $\bar{\mu} = CT^{\gamma-4}$ 中的 γ ,

α 为 $I_C = GT^\alpha$ 中的 α ,

E_G 为硅的带隙电压,

T_0 为 V_{REF} 的温度系数为零时的开式温度, 以及

T 为开式温度。

忽略硅的带隙电压 E_g 的温度依存，将运算式(7)以温度微分一次以及微分两次如下：

$$\frac{\partial V_{REF}}{\partial T} = \frac{k}{q}(\gamma - \alpha) \ln \frac{T_0}{T} \quad (8)$$

以及

$$\frac{\partial}{\partial T} \left(\frac{\partial V_{REF}}{\partial T} \right) = -\frac{k}{q} \frac{(\gamma - \alpha)}{T} \quad (9)$$

注意的是，运算式(9)中的 $(\gamma - \alpha)$ 控制运算式(7)中 V_{REF} 的曲率，换句话说，若 $(\gamma - \alpha)$ 为正数， V_{REF} 的凹口向下；而若 $(\gamma - \alpha)$ 为负数， V_{REF} 的凹口向上。

请参考图 6，图 6 为根据运算式(7)的凹口向下的输出参考电压的示意图，图 6 显示数个不同参考温度 T_0 的模拟曲线，其根据 TSMC 0.25 μm 1P5M 制造工艺的 PNP 两极晶体管的带隙电路的模拟，该制造工艺为接近室温的纯 P 型硅，其 $\gamma=1.8$ 以及 $\alpha=0$ 。

请参考图 7，图 7 为本发明第一实施例的低电压曲率补偿带隙参考电路 70，带隙参考电路 70 为一 CMOS 电路，其亦可利用其他方式来实现。带隙参考电路 70 包含一第一带隙参考单元 72，其输出端连接到一第一节点 n1，一第二带隙参考单元 74，其输出端连接到一第二节点 n2，以及一减法器 76，连接到第一带隙参考单元 72 与第二带隙参考单元 74 之间。第一带隙参考单元 72 为一 P 沟道材料(device)，其输出一电流 I_1 ，而第二带隙参考单元 74 为一 N 沟道材料，其输出一电流 I_2 。

减法器 76 包含一第一晶体管 M4，其源极连接到一第一电压 V_{DD} ，其漏极与栅极皆连接到第二节点 n2，以及一第二晶体管 M5，其源极亦连接到第一电压 V_{DD} ，其漏极连接到一第三节点 n3，其栅极连接到第一晶体管 M4 的栅极，晶体管 M4 以及 M5 皆为 PNP 型材料。减法器 76 另包含一第三晶体管 M6，其源极连接到接地端，其漏极连接到第三节点 n3，其栅极连接到第一节点 n1，以及一第四晶体管 M7，其源极连接到接地端，其漏极连接到第一节点 n1，其栅极连接到第三晶体管 M6 的栅极，晶体管 M4 以及 M5 皆为 NPN 型材料。一输出电阻 RREF 连接到第三节点与接地端之间。

请参考图 8，图 8 为图 7 中带隙参考电路 70 的电流与参考电压的曲线图，电流 I_1 以及 I_2 皆为向上凹的曲线，当第一带隙参考单元 72 与第二带隙参考单元 74 的参考温度 T_0 相近，电流 I_1 以及 I_2 的曲线相似。如图 8 所示，减法

器 76 的基本操作为自第二带隙参考单元 74 所产生的大电流 I_2 中减去第一带隙参考单元 72 所产生的小电流 I_1 , 其操作可使温度的灵敏度降低以及在电阻 R_{REF} 上产生曲率补偿电压 V_{REF} 。另参考图 9, 图 9 为 NPN 型 BJT 的示意图, 其为深 N 型井的标准 CMOS 制造工艺, 其可为实施本发明的一种材料。

请参考图 10, 图 10 为本发明第二实施例的低电压曲率补偿带隙参考电路 100, 带隙参考电路 100 包含一 P 沟道带隙参考单元 102 (与参考单元 72 相似) 以及一 N 沟道带隙参考单元 104 (与参考单元 74 相似), 其二者经由减法器 76 相连接。带隙参考电路 100 可视为带隙参考电路 70 的最佳实施例, 带隙参考电路 70 亦可应用于带隙参考电路 100 中。

P 沟道带隙参考单元 102 与图 2 的带隙参考电路 20 相似, 因此, 具有相同代号者, 其元件亦相同, P 沟道带隙参考单元 102 包含一第一运算放大器 112, 一第五晶体管 M1, 其源极连接到第一电压 V_{DD} , 其漏极连接到第一运算放大器 112 的正输入端, 其栅极连接到第一运算放大器 112 的输出端, 以及一第六晶体管 M2, 其源极连接到第一电压 V_{DD} , 其漏极连接到第一运算放大器 112 的负输入端, 其栅极连接到第一运算放大器 112 的输出端。N 沟道带隙参考单元 104 另包含一第一电阻 R1, 连接到接地端与第一运算放大器 112 的正输入端之间, 一第二电阻 R2, 连接到接地端与第一运算放大器 112 的负输入端之间, 一第一二极管 Q1, 其集电极与基极皆连接到接地端, 其射极经由一第三电阻 R3 连接到第一运算放大器 112 的正输入端, 以及一第二二极管 Q2, 其集电极与基极皆连接到接地端, 其射极连接到第一运算放大器 112 的负输入端。P 沟道带隙参考单元 102 另包含一第七晶体管 M3, 其源极连接到第一电压 V_{DD} , 其栅极连接到第一运算放大器 112 的输出端, 其漏极连接到第一节点 n1, 其中晶体管 M1、M2 以及 M3 与二极管 Q1 以及 Q2 皆为 PNP 型材料。

N 沟道带隙参考单元 104 与 N 沟道材料的图 2 的带隙参考电路 20 相似, N 沟道带隙参考单元 104 包含一第二运算放大器 114, 一第八晶体管 M1', 其源极连接到接地端, 其漏极连接到第二运算放大器 114 的正输入端, 其栅极连接到第二运算放大器 114 的输出端, 以及一第九晶体管 M2', 其源极连接到接地端, 其漏极连接到第二运算放大器 114 的负输入端, 其栅极连接到第二运算放大器 114 的输出端。带隙参考电路 104 另包含一第四电阻 R1', 连接到第一电压 V_{DD} 与第二运算放大器 114 的正输入端之间, 一第五电阻 R2', 连接到第一电压 V_{DD} 与第二运算放大器 114 的负输入端之间, 一第三二极管 Q1',

其集电极与基极皆连接到第一电压 V_{DD} ，其射极经由一第六电阻 R_3' 连接到第二运算放大器 114 的正输入端，以及一第四二极管 Q_2' ，其集电极与基极皆连接到第一电压 V_{DD} ，其射极连接到第二运算放大器 114 的负输入端。N 沟道带隙参考单元 104 另包含一第十晶体管 M_3' ，其源极连接到接地端，其栅极连接到第二运算放大器 114 的输出端，其漏极连接到第二节点 n_2 ，其中晶体管 M_1' 、 M_2' 以及 M_3' 与二极管 Q_1' 以及 Q_2' 皆为 NPN 型材料。

由运算式 (4) 可得 P 沟道带隙参考单元 102 在第一节点 n_1 所产生的电流如下：

$$I_1 = \frac{1}{R_1} \left(V_{EB2} + \frac{R_1}{R_3} \frac{kT}{q} \ln N_{PNP} \right) = \frac{V_{REF_PNP}}{R_1} \quad (10)$$

其中

R_1 为电阻 R_1 的电阻值，

R_3 为电阻 R_3 的电阻值，

V_{EB2} 为二极管 Q_2 的射极-基极电压，

N_{PNP} 为二极管 Q_1 与 Q_2 的大小比例值，以及

V_{REF_PNP} 为在第一节点 n_1 的电压值。

相同地，N 沟道带隙参考单元 104 在第二节点 n_2 所产生的电流如下：

$$I_2 = \frac{1}{R_1'} \left(V_{BE2} + \frac{R_1'}{R_3'} \frac{kT}{q} \ln N_{NPN} \right) = \frac{V_{REF_NPN}}{R_1'} \quad (11)$$

其中

R_1' 为电阻 R_1' 的电阻值，

R_3' 为电阻 R_3' 的电阻值，

V_{BE2} 为二极管 Q_2' 的基极-射极电压，

N_{NPN} 为二极管 Q_1' 与 Q_2' 的大小比例值，以及

V_{REF_NPN} 为在第二节点 n_2 的电压值。

然后应用运算式 (7) 以算出电流差异 $\Delta I = I_2 - I_1$ 如下：

$$\Delta I = E_G \left(\frac{1}{R_1'} - \frac{1}{R_1} \right) + V_T \left(1 + \ln \frac{T_0}{T} \right) \left(\frac{(\gamma - \alpha)_{NPN}}{R_1'} - \frac{(\gamma - \alpha)_{PNP}}{R_1} \right) \quad (12)$$

其中

NPN 单元 104 中的 γ 等于 1.58，其为硅在室温下的状态，以及

PNP 单元 102 中的 γ 等于 1.8，其为硅在室温下的状态。

当选择适当的电阻 R_1 与 R_1' 时, 运算式(12)的最后一可被省略, 忽略 E_g 的温度依存, ΔI 便为与温度无关的电流, 因此, 在电阻 R_{REF} 产生一与温度无关的电流, 其相对应所产生的输出参考电压如下:

$$V_{REF} = R_{REF}(I_2 - I_1) = \frac{R_{REF}}{R_1} \left((V_{BE2} - V_{EB2}) + \left(\frac{1}{R_3'} - \frac{1}{R_3} \right) R_1 \frac{kT}{q} \ln N \right) \quad (13)$$

其中

R_{REF} 为电阻 R_{REF} 的电阻值,

R_1' 等于 R_1 , 以及

N_{NPN} 等于 N_{PNP} 。

经由调整电阻以使 P 沟道带隙参考单元 102 以及 N 沟道带隙参考单元 104 的参考温度 T_0 相近, 因此参考单元 102 以及 104 分别产生不同大小的电流 I_1 以及 I_2 , 但其参考温度 T_0 相近, 以使减法器 76 得以在第三节点 $n3$ 产生一对于温度敏感度极低的电压 V_{REF} 。

在第二实施例的带隙参考电路 100, 最小的供电电压 $V_{DD(min)}$ 如下:

$$V_{DD(min)} = \text{Max} \left[(V_{EB2_PNP} + |V_{TP}| + 2 \cdot |V_{DSsat}|), (V_{BE2_NPN} + V_{TN} + 2V_{DSsat}) \right] \quad (14)$$

其中

V_{EB2_PNP} 为二极管 Q2 的射极-基极电压,

V_{BE2_NPN} 为二极管 Q2' 的基极-射极电压,

V_{TP} 为 PNP 型的定限电压, is the PNP threshold voltage,

V_{TN} 为 NPN 型的定限电压, 以及

V_{DSsat} 为漏极-源极饱和电压。

请参考图 11, 图 11 为本发明第三实施例的低电压曲率补偿带隙参考电路 200, 带隙参考电路 200 包含一 P 沟道带隙参考单元 202 (与参考单元 72、102 相似) 以及一 N 沟道带隙参考单元 204 (与参考单元 74、104 相似), 二者经由减法器 76 相连接。带隙参考电路 200 可视为带隙参考电路 70 的最佳实施例, 带隙参考电路 70 亦可应用于带隙参考电路 200 中。

P 沟道带隙参考单元 202 与图 3 的带隙参考电路 30 相似, 因此, 具有相同代号者, 其元件亦相同, P 沟道带隙参考单元 202 包含一第一运算放大器 112, 一第五晶体管 M1, 其源极连接到第一电压 V_{DD} , 其漏极经由一第七电阻 $R1a$ 连接到第一运算放大器 112 的正输入端, 其栅极连接到第一运算放大器 112 的输出端, 以及一第六晶体管 M2, 其源极连接到第一电压 V_{DD} , 其漏极经

由一第八电阻 R2a 连接到第一运算放大器 112 的负输入端，其栅极连接到第一运算放大器 112 的输出端。P 沟道带隙参考单元 202 另包含一第九电阻 R1b，连接到接地端与第一运算放大器 112 的正输入端之间，一第十电阻 R2b 连接到接地端与第一运算放大器 112 的负输入端之间，一第一二极管 Q1，其集电极与基极皆连接到接地端，其射极经由一第三电阻 R3 连接到晶体管 M1 的漏极，以及一第二二极管 Q2，其集电极与基极皆连接到接地端，其射极连接到晶体管 M2 的漏极。P 沟道带隙参考单元 202 另包含一第七晶体管 M3，其源极连接到第一电压 V_{DD} ，其栅极连接到第一运算放大器 112 的输出端，其漏极连接到第一节点 n1，P 沟道带隙参考单元 202 中，如带隙参考单元 102，晶体管 M1、M2 以及 M3 与二极管 Q1 以及 Q2 皆为 PNP 型材料。

N 沟道带隙参考单元 204 与 N 沟道材料的图 3 的带隙参考电路 30 相似，N 沟道带隙参考单元 204 包含一第二运算放大器 114，一第八晶体管 M1'，其源极连接到接地端，其漏极经由一第十一电阻 R1a' 连接到第二运算放大器 114 的正输入端，其栅极连接到第二运算放大器 114 的输出端，以及一第九晶体管 M2'，其源极连接到接地端，其漏极经由一第十二电阻 R2a' 连接到第二运算放大器 114 的负输入端，其栅极连接到第二运算放大器 114 的输出端，一第十三电阻 R1b'，连接到第一电压 V_{DD} 与第二运算放大器 114 的正输入端之间，以及一第十四电阻 R2b'，连接到第一电压 V_{DD} 与第二运算放大器 114 的负输入端之间。N 沟道带隙参考单元 204 另包含一第三二极管 Q1'，其集电极与基极皆连接到第一电压 V_{DD} ，其射极经由一第六电阻 R3' 连接到晶体管 M1' 的漏极，以及一第四二极管 Q2'，其集电极与基极皆连接到第一电压 V_{DD} ，其射极连接到晶体管 M2' 的漏极。N 沟道带隙参考单元 204 另包含一第十晶体管 M3'，其源极连接到接地端，其栅极连接到第二运算放大器 114 的输出端，其漏极连接到第二节点 n2，N 沟道带隙参考单元 204 中，如带隙参考单元 104，其中晶体管 M1'、M2' 以及 M3' 与二极管 Q1' 以及 Q2' 皆为 NPN 型材料。

在第三实施例的带隙参考电路 200，最小的供电电压 $V_{DD(min)}$ 如下：

$$V_{DD(min)} = \text{Max} \left[\left(\frac{R_{1b}}{R_{1a} + R_{1b}} V_{EB2_PNP} + |V_{TP}| + 2 \cdot |V_{DSsat}| \right), \left(\frac{R'_{1b}}{R'_{1a} + R'_{1b}} V_{BE2_NPN} + V_{TN} + 2V_{DSsat} \right) \right] \quad (15)$$

其中

R_{1a} 、 R_{1b} 、 R_{1a}' 以及 R_{1b}' 分别为电阻 R_{1a} 、 R_{1b} 、 R_{1a}' 以及 R_{1b}' 的电阻值。

第一、第二以及第三实施例中的电路70、100以及200的工作与结果是相似的，在第三实施例中，仍需应用运算式(13)，而电阻值 R_1 等于 $R_{1a}'+R_{1b}'=R_{1a}+R_{1b}$ ，一般来说，第二实施例的电路100需要较精确的供电电压 $V_{DD}=1.5\text{ V}$ ，而第三实施例的电路200的供电电压仅需 $V_{DD}=0.9\text{ V}$ 。

图12为参考电压相对于温度的示意图，而图13为图11的电路200的最小供电电压的示意图，图12与十三皆为模拟电路200的结果，其为TSMC 0.25 μm 的制造工艺，图12显示10.7 ppm/ $^{\circ}\text{C}$ 的带隙参考电压，其温度介于-10度至120度之间，而图13的最小供电电压为0.9V。

此前已描述带隙参考电路70、100以及200为CMOS电路，其亦可利用其他制造工艺技术来实现，如离散组件、BiCMOS，或半导体制造工艺。此外，适当地组合电流或新技术亦可用于实现本发明。

与公知技术相比较，本发明提供一曲率补偿低电压带隙参考电路，其在第三节点n3产生一小于1伏特的参考电压，其电压对于温度的敏感度极低，本发明的电路已可利用CMOS制造工艺所制造，而无须利用低定限电压装置或BiCMOS制造工艺。

以上所述仅为本发明的较佳实施例，凡依本发明权利要求所进行的等效变化与修改，皆应属本发明的涵盖范围。

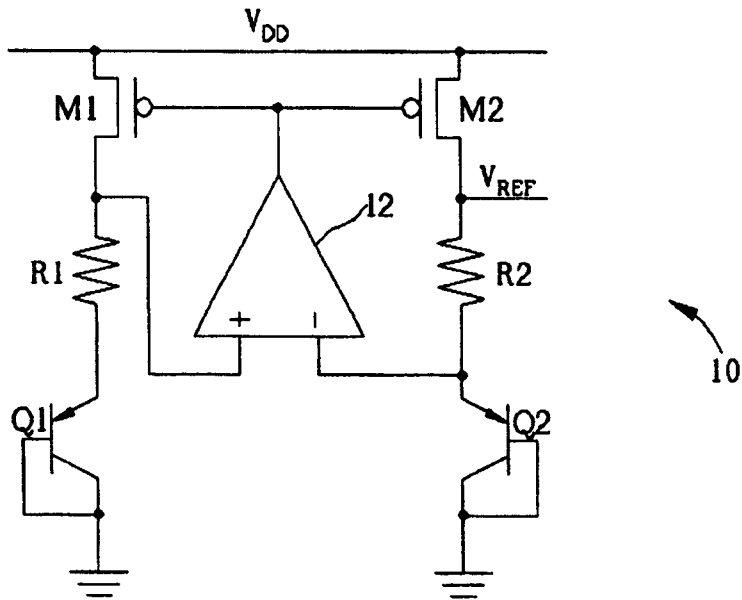


图 1

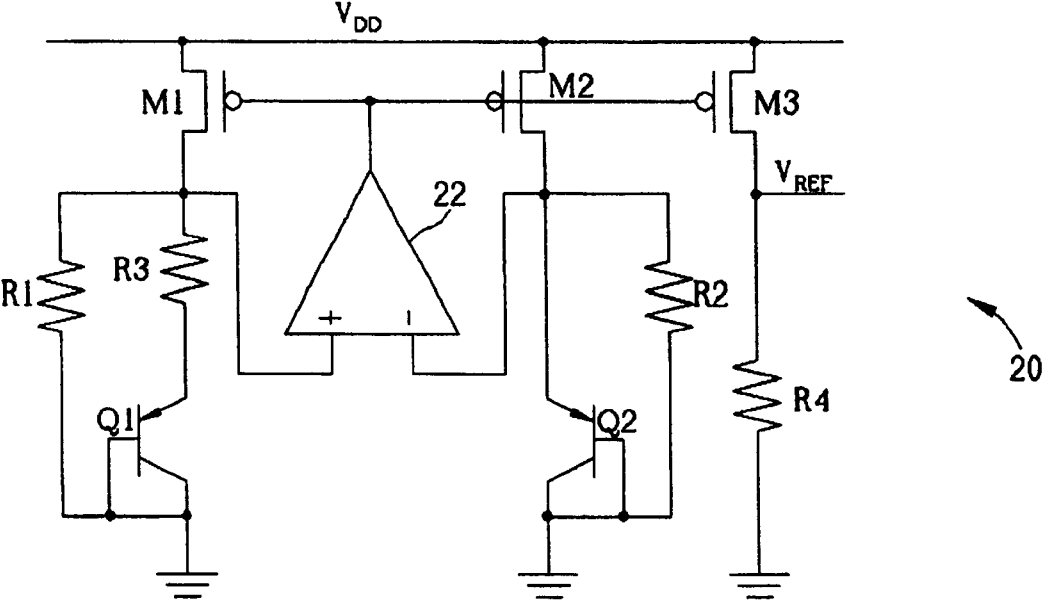


图 2

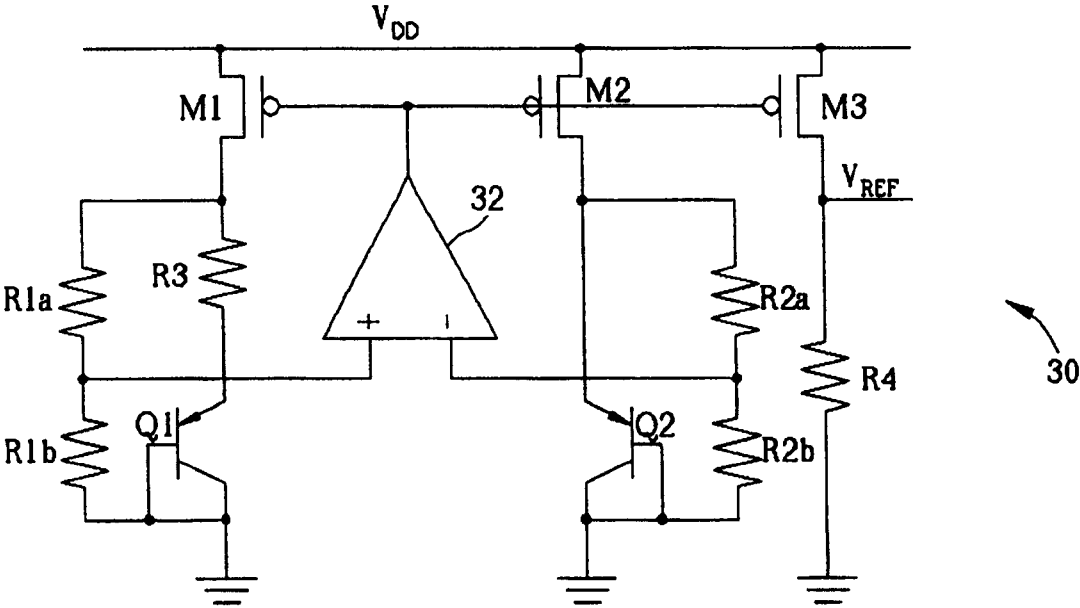


图 3

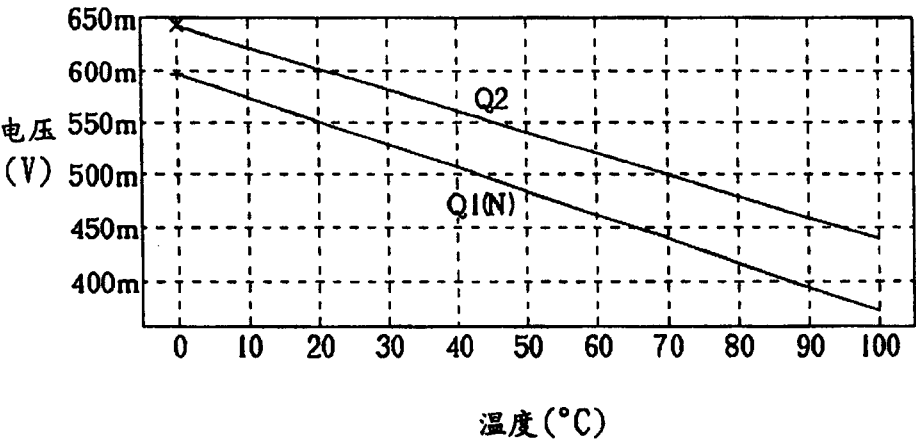


图 4

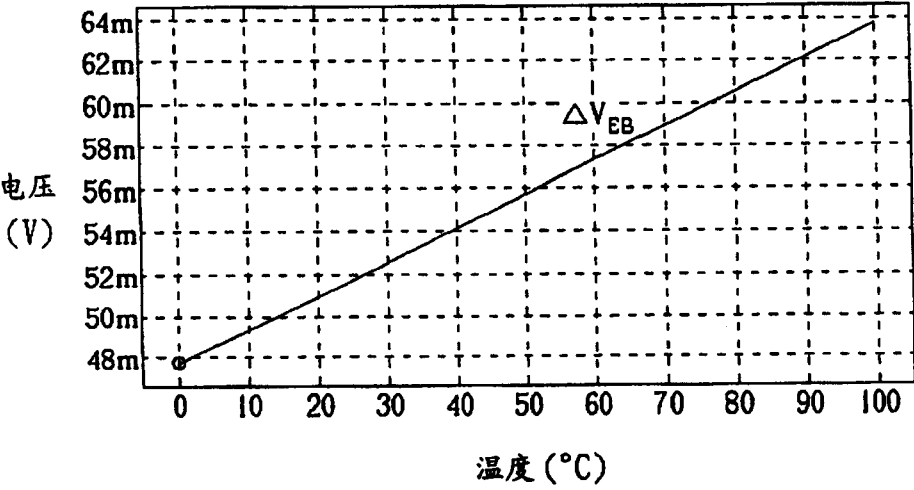


图 5

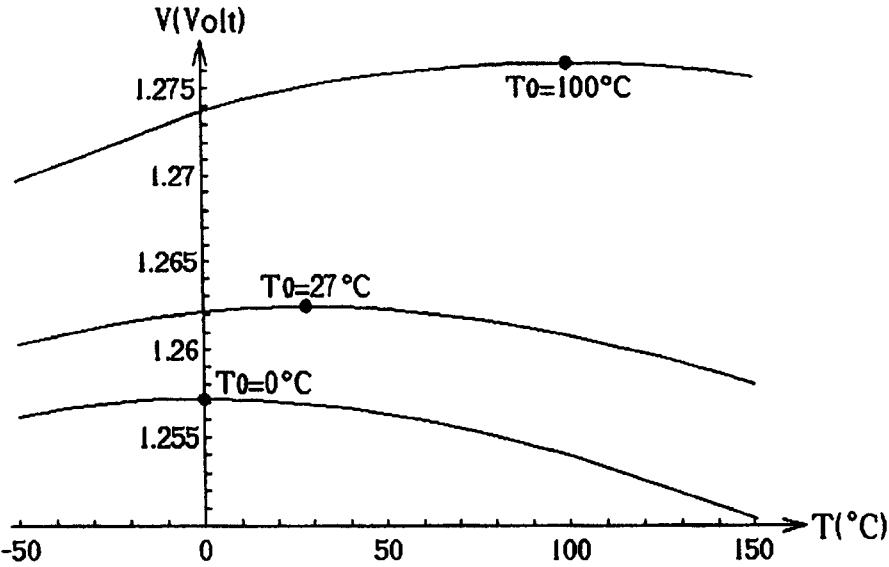


图 6

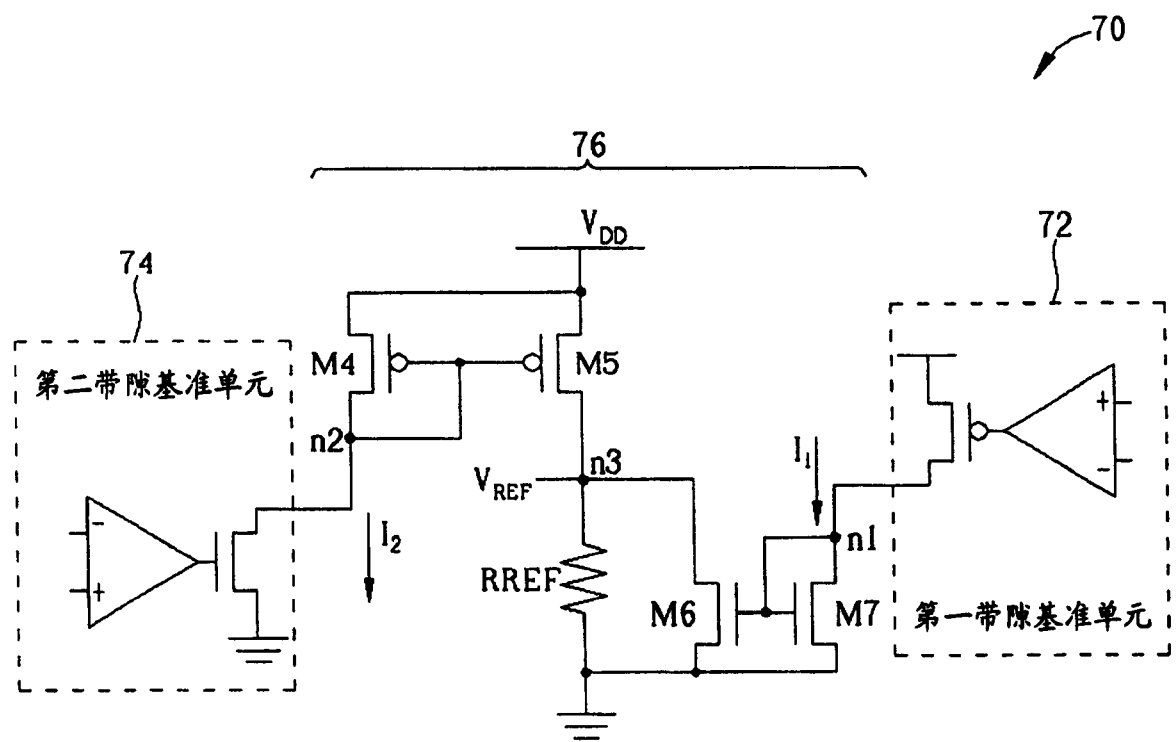


图 7

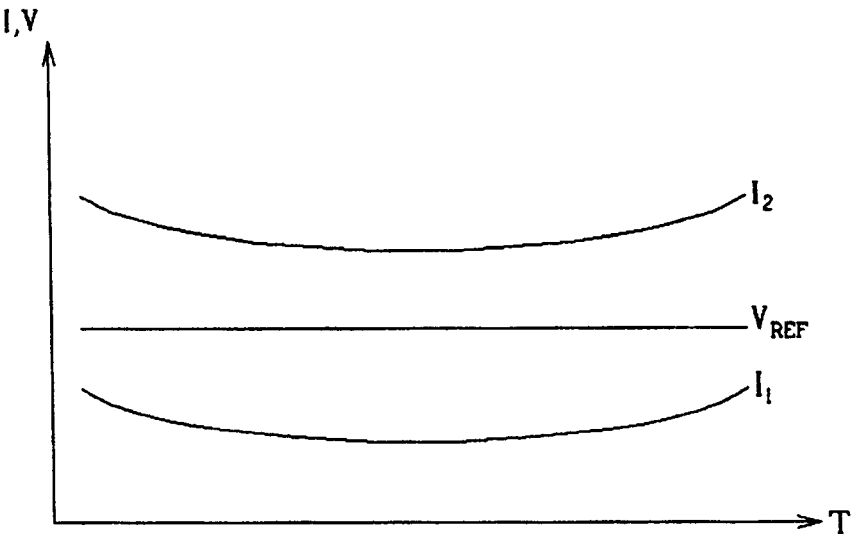


图 8

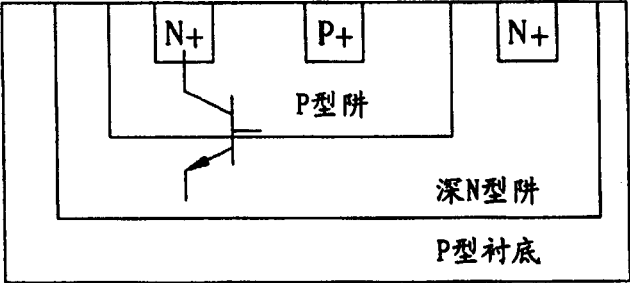


图 9

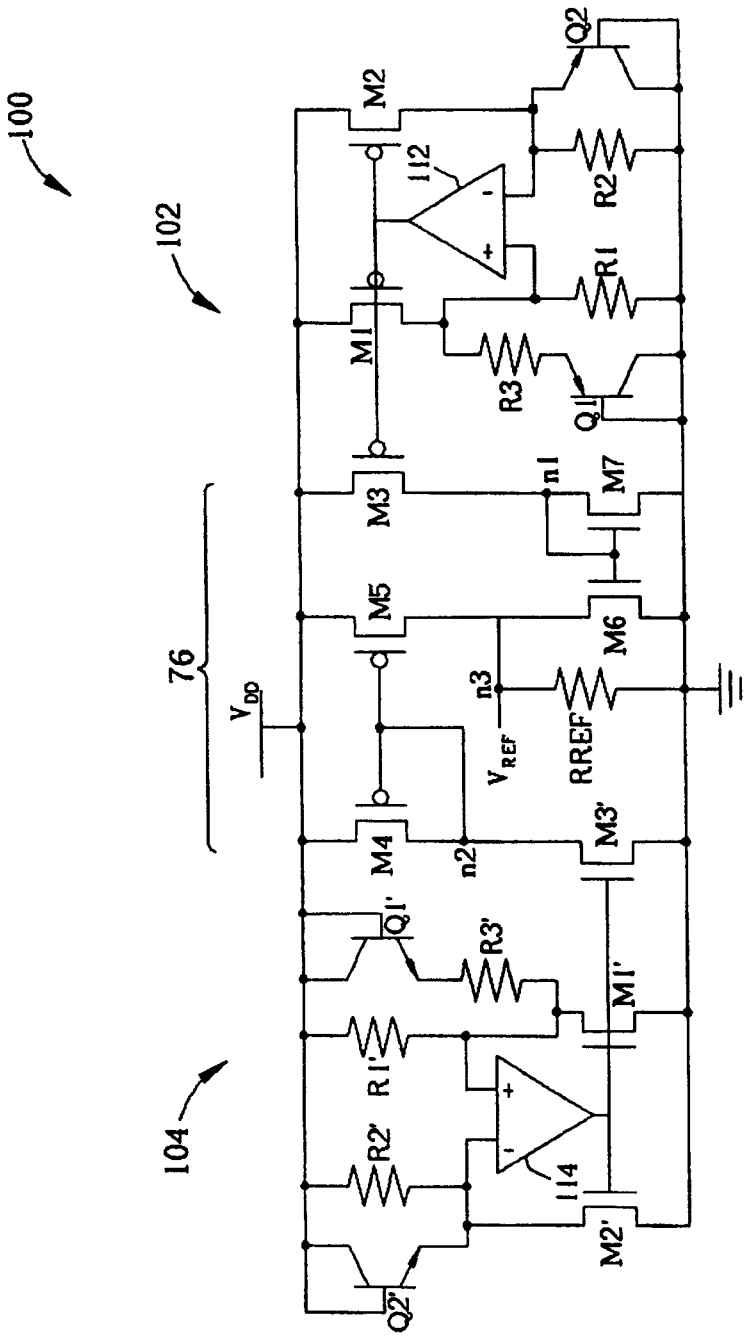
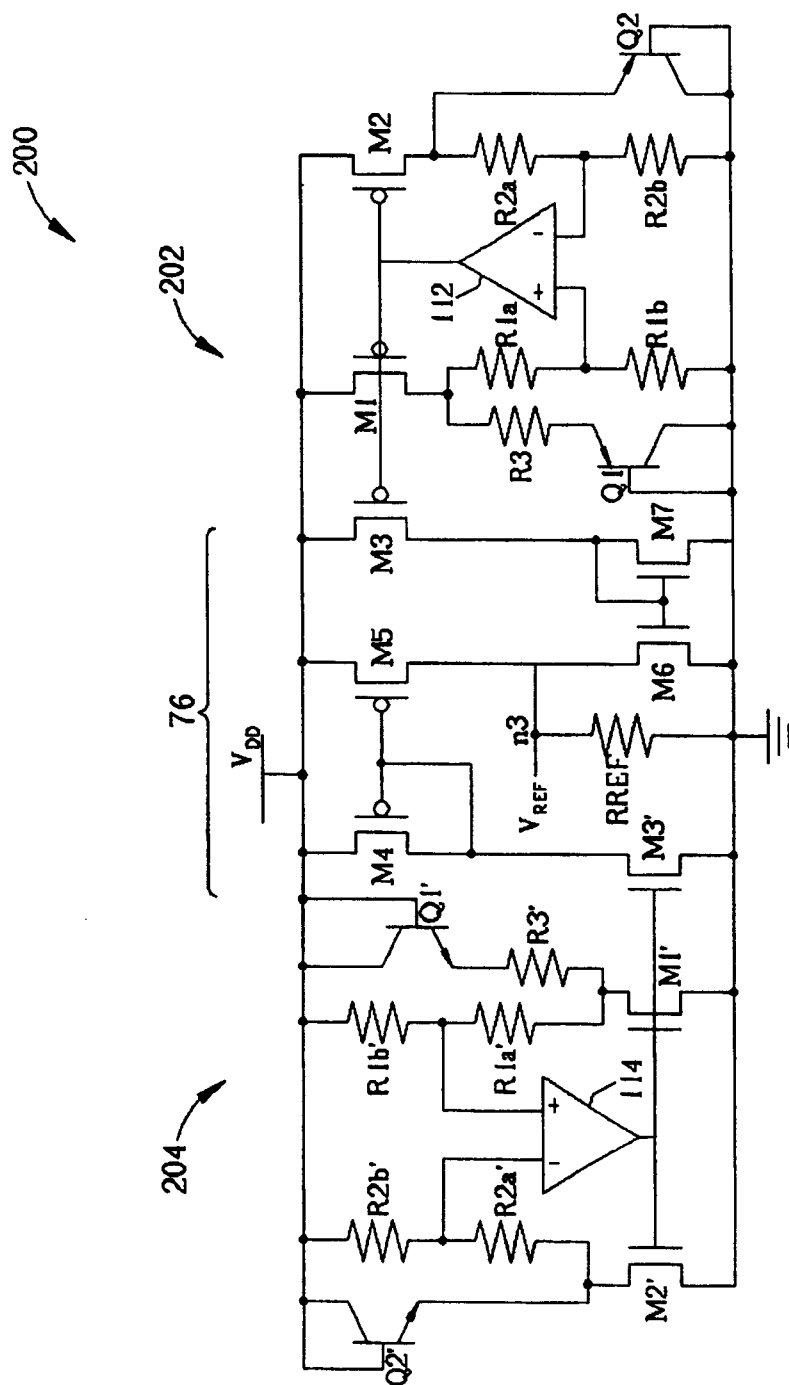


图 10



11

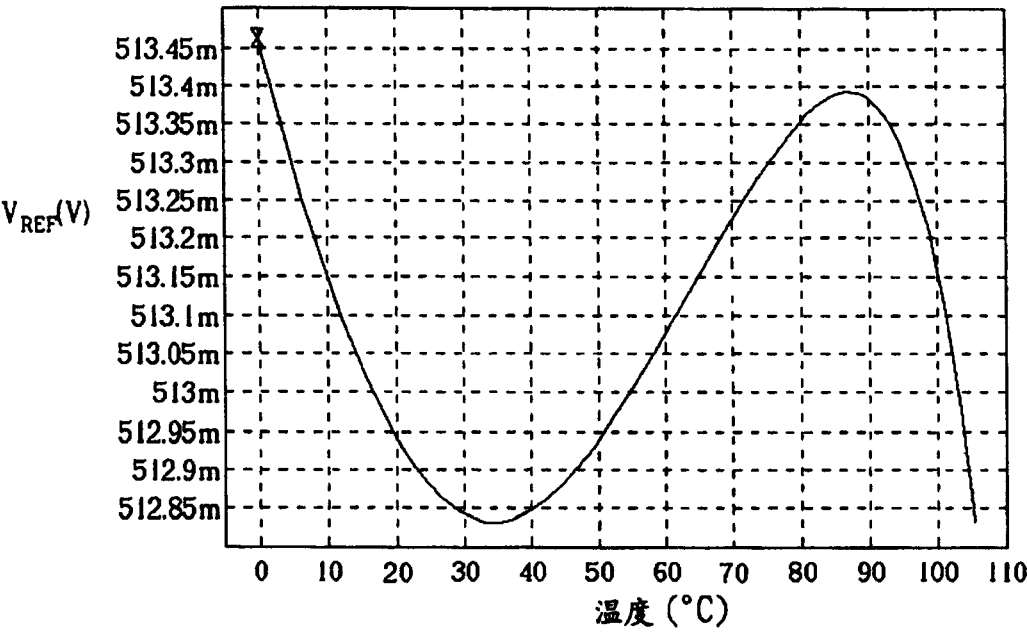


图 12

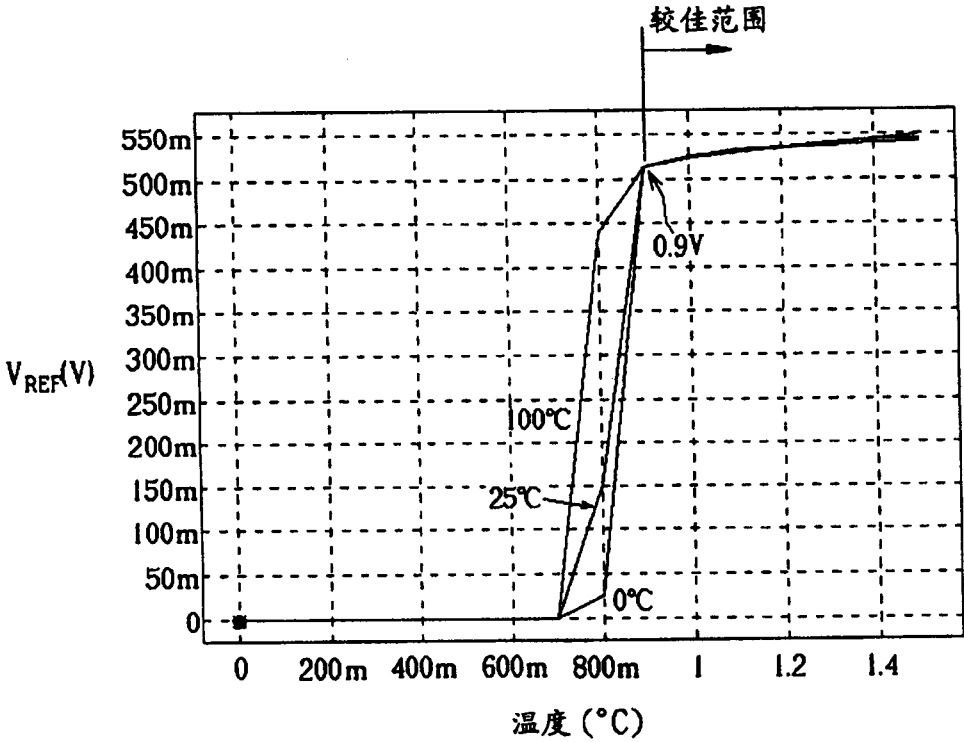


图 13